

PAT-NO: JP357012561A
DOCUMENT-IDENTIFIER: JP 57012561 A
TITLE: FIELD EFFECT TRANSISTOR
PUBN-DATE: January 22, 1982

INVENTOR-INFORMATION:

NAME
OTSUBO, MUTSUYUKI
MITSUI, YASURO
NAKATANI, MASAAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP55088134

APPL-DATE: June 26, 1980

INT-CL (IPC): H01L029/80, H01L023/12

US-CL-CURRENT: 257/741, 257/E21.511

ABSTRACT:

PURPOSE: To mitigate stress to be applied to the respective electrodes and the semiconductor chip of a field effect transistor by a method wherein the thickly plated source electrode and the thickly plated drain and gate electrodes are made of materials having thermal expansion coefficients different to each other.

CONSTITUTION: The difference of height between the upper face 2' of the convex part 2 of a heat sink 1 of Cu to be used as a package or a chip carrier and the upper faces 3', 4' of alminas 3, 4 is about 0.2 μ m even when heated at about 100°C. When the source electrode 6a is made of Pt, and

the drain
and gate electrodes 7a, 8a are made of Sn, the difference of height
between the
electrodes becomes about 0.063 μ m, and moreover because the Young's
modulus
of Sn is about a half of Au used up to this time, tensile stress is
reduced
broadly, and break away and increase of resistance between the
respective
plated electrodes and junction pads of the chip and between the
respective
upper faces of the package or the chip carrier are prevented.

COPYRIGHT: (C)1982, JPO&Japio

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭57—12561

⑯ Int. Cl.³
H 01 L 29/80
23/12

識別記号

厅内整理番号
7925—5F
7357—5F

⑯ 公開 昭和57年(1982)1月22日
発明の数 1
審査請求 未請求

(全 3 頁)

⑩ 電界効果トランジスタ

⑪ 特 願 昭55—88134

⑫ 出 願 昭55(1980)6月26日

⑬ 発明者 大坪睦之
伊丹市瑞原4丁目1番地三菱電
機株式会社北伊丹製作所内
⑭ 発明者 三井康郎
伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑮ 発明者 中谷正昭

伊丹市瑞原4丁目1番地三菱電
機株式会社北伊丹製作所内

⑯ 出願人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑰ 代理人 弁理士 葛野信一 外1名

明細書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

半導体チップの同一主面上のソース(エミッタ),
ドレイン(コレクタ)およびゲート(ベース)各
電極のそれぞれポンディングパット上に設けた各
厚メッキ電極を、パッケージあるいはチップキャ
リヤの対応する各電極に直接々続させた電界効果
トランジスタにおいて、前記パッケージあるいは
チップキャリヤの絶縁物上のメタライズ層に接続
される前記ドレインおよびゲートの厚メッキ電極
材料を、パッケージあるいはチップキャリヤのヒ
ートシンクに接続されるソースの厚メッキ電極材
料よりも熱膨張係数の大きい材料としたことを特
徴とする電界効果トランジスタ。

3. 発明の詳細な説明

この発明は電界効果トランジスタ、特に半導体
チップの各電極とパッケージあるいはチップキャ
リヤの各電極とを、ポンディングワイヤの介在な

しに直接々続するようにした、いわゆる完全フリ
ップチップ型の電界効果トランジスタに関するも
のである。

以下、フリップチップ型砒化ガリウム電界効果
トランジスタ(以下単にGaAsFETと称する)を例
にて述べる。

まず従来のこの種のGaAsFETにつき、第1図お
よび第2図により説明する。

これらの第1図および第2図において、(1)は中
央部に凸部(2)を有し、かつその左右にアルミナあ
るいはベリリヤなどの絶縁物(3), (4)を設けたCヒ
ートシンクであり、凸部(2)の上面(2')と、各絶縁物
(3), (4)のAuを一部メタライズした上面(3'), (4')とを
電極に用いると共に、これらの各上面はすべて所
定のレベル面にあるようにしている。また(5)は同
一主面上のソース(エミッタ), ドレイン(コレ
クタ)およびゲート(ベース)各電極のそれぞ
れポンディングパット上に、通常はAuによる厚メッ
キ電極(6), (7)および(8)を設けたGaAsFETの半導体
チップであり、これらの各電極(6), (7)および(8)は、

前記パッケージあるいはチップキャリヤとしてのヒートシンク(1)の対応する上面(2), (3)および(4)に、熱圧着法あるいは半田付け法により接続される。

ここでこのように構成されるGaAsFETにおいては、チャネル温度120~150°Cで使用されるために、ヒートシンク(1)および半導体チップ(5)の各自体の温度がかなり上升し、ソースが接続される部位と、ドレインおよびゲートが接続される部位とにあつても、それぞれの構成材料の熱膨張係数の差異により、前記上面(2)と(3)および(4)との間に、第2図からも明らかのように段差を生じ、各厚メツキ電極(6), (7)および(8)が圧縮あるいは引張り応力を受けることになり、結果的に各厚メツキ電極と、そのポンディングバットあるいはパッケージ、チップキャリヤとの接着が弱い場合には、その部分の電気抵抗が増し、甚しいときは電極が剥離するという問題があつた。

ちなみにAuが受ける応力を計算してみる。ここでCuからなる凸部(2)の高さおよびセラミック(A₂O₃)の厚さを200μm, Auからなる厚メツキ電極

ことになり、従つてこの応力を緩和するのには、前記上面(2)と(3), (4)との温度上昇に伴なう段差を少なくすることが重要である。

この発明は従来のこのようない点に鑑み、ソース厚メツキ電極とドレインおよびゲート各厚メツキ電極とに、それぞれに異なつた熱膨張係数の材料を用いることにより、各厚メツキ電極、ひいては半導体チップに加えられる応力を緩和し得るようにしたものである。

以下この発明の一実施例につき、第3図を参照して詳細に説明する。

この第3図において前記第1図および第2図と同一符号は同一または相当部分を示しており、この実施例ではソース厚メツキ電極(6a)としてPt, ドレインおよびゲート厚メツキ電極(7a), (8a)としてSiの各材料を用いたものである。

この第3図に示した実施例によるGaAsFETの各厚メツキ電極(6a)と(7a), (8a)に加えられる応力について、前記と同一条件で計算してみる。

まずパッケージあるいはチップキャリヤとして

の厚さを30μmとし、またCuおよびA₂O₃の熱膨張係数をそれぞれ $16.8 \times 10^{-6}/\text{deg}$, $6.5 \times 10^{-6}/\text{deg}$, Auのヤング率を $8.3 \times 10^{10} \text{N}/\text{mm}^2$ とし、全体の温度が100°C上升したと仮定すると、凸部上面(2)と絶縁物上面(3)および(4)との段差は、

$$\Delta(h_{\text{Cu}} - h_{\text{A}_2\text{O}_3}) = h \times \Delta T \times (\alpha_{\text{Cu}} - \alpha_{\text{A}_2\text{O}_3})$$

で与えられ、これに実質数値を代入すると0.20μmとなる。

そしてこの場合、ソース厚メツキ電極(6)が0.20μm=0.10μmだけ圧縮され、かつドレインおよびゲート厚メツキ電極(7), (8)が同様に0.10μmだけ伸びると仮定すると、ソース厚メツキ電極(6)に加えられる圧縮応力 σ は

$$\sigma = \epsilon E_{\text{Au}}$$

ここで ϵ は歪、 E_{Au} はAuのヤング率で与えられ、同様に実質数値を代入すると単位面積(mm²)当り $6 \times 10^2 \text{N}/\text{mm}^2$ となる。これは例えばソース電極面積 $2 \times 10^4 \mu\text{m}^2$ に約12gの力が加えられていることを意味する。

このように微少面積に過大な応力が加えられる

のCuヒートシンク(1)の凸部上面(2)と絶縁物上面(3)および(4)との段差は、先に計算したように0.20μmである。また一方、半導体チップ(1)上のソース厚メツキ電極(6a)の伸びは、Ptの熱膨張係数が $8.9 \times 10^{-6}/\text{deg}$ であるから $2.7 \times 10^{-2} \mu\text{m}$ 、ドレインおよびゲート厚メツキ電極(7a), (8a)の伸びは、Siの熱膨張係数が $2.7 \times 10^{-6}/\text{deg}$ であるから $9.0 \times 10^{-2} \mu\text{m}$ で、その差0.063μmとなる。

すなわち、このようにして、ソース電極とドレインおよびゲート電極との段差が厚メツキ電極の伸びの差分だけ少なくなり、またSiのヤング率がAuの約1/2程度であるために、Auを用いた場合に比較してドレインおよびゲート厚メツキ電極に加わる引張り応力が大幅に減少され、単位面積(mm²)当り $1 \times 10^2 \text{N}/\text{mm}^2$ となつて、前記従来の約1/6程度に軽減されており、各厚メツキ電極と半導体チップのポンディングバットおよびパッケージ、チップキャリヤの各上面との間が剥離することなく、また電気抵抗の増加も殆んどなくなるなどの効果を奏し得たものである。

なお前記実施例は GaAsFET について述べたが、これに限らず他のデバイスについても適用可能であり、また実施例では Pt と Sn との組み合わせについて説明したが、これに限らず他の組み合わせ、例えば Pt と Au, Au と Sn などの組み合わせについても適用できることは勿論である。

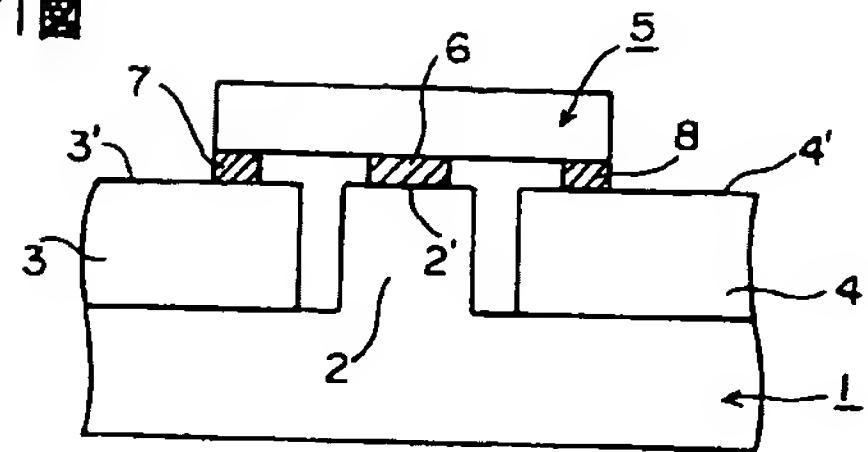
4. 図面の簡単な説明

第1図は完全フリップチップ型の GaAsFET の断面図、第2図および第3図は従来例およびこの発明の一実施例による同上 GaAsFET を高温下に保持したときの半導体チップとパッケージ、チップキャリアとの状態を示す断面説明図である。

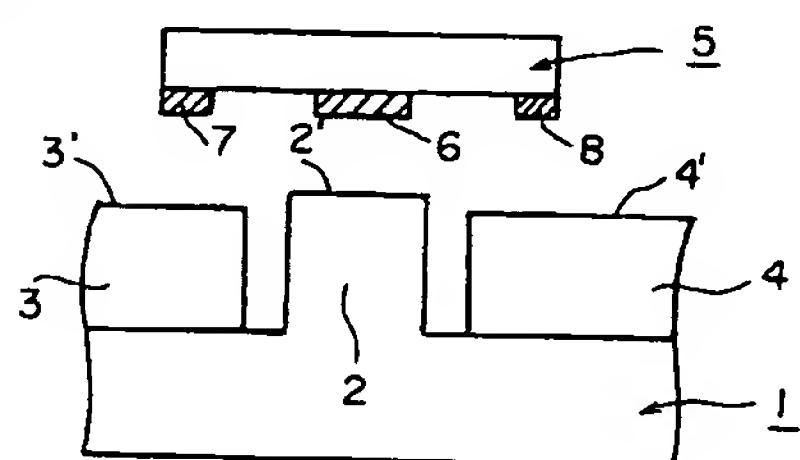
(1) パッケージ、チップキャリアとしてのヒートシンク、(2), (2') 凸部とその上面、(3), (3') および(4), (4') 絶縁物とその上面、(5) 半導体チップ、(6), (6') ソース厚メッキ電極、(7), (7') および(8), (8') ドレインおよびゲート厚メッキ電極。

代理人 萩野信一(外1名)

第1図



第2図



第3図

